

⑪公開特許公報(A) 平3-185736

⑫Int.Cl.⁵H 01 L 21/336
29/784

識別記号

府内整理番号

⑬公開 平成3年(1991)8月13日

9056-5F H 01 L 29/78 311 P
審査請求 未請求 請求項の数 8 (全8頁)

⑭発明の名称 半導体装置の製造方法

⑮特 願 平1-324579

⑯出 願 平1(1989)12月14日

⑰発明者 須川 成利 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑱発明者 近藤 茂樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲発明者 水谷 英正 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳出願人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉑代理人 弁理士 福森 久夫

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁基体上に、結晶性半導体薄膜を形成して成る半導体装置の製造方法において、前記結晶性半導体薄膜の上下両側に、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜をそれぞれ形成する工程と、前記結晶性半導体薄膜中に水素を導入する工程と、光を照射し、前記結晶性半導体薄膜の粒界近傍または界面近傍の局部部分のみを加熱する工程と、を含むことを特徴とする半導体装置の製造方法。

(2) 前記第1、第2の絶縁膜の形成工程は、減圧CVD法、あるいは、プラズマCVD法により重化シリコン膜を形成する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 前記第1、第2の絶縁膜の形成工程は、プラズマCVD法により重化酸化シリコン膜を形成する工程であることを特徴とする請求項1記載の

半導体装置の製造方法。

(4) 前記結晶性半導体薄膜材料が、シリコンであることを特徴とする請求項1ないし請求項3記載の半導体装置の製造方法。

(5) 前記水素の導入は、水素を含んだ前記絶縁膜からの水素の拡散による特徴とする請求項1ないし請求項4記載の半導体装置の製造方法。

(6) 前記水素の導入は、水素を含んだプラズマを用いて行うことを特徴とする請求項1ないし請求項4記載の半導体装置の製造方法。

(7) 前記水素の導入は、イオン注入により行うことを特徴とする請求項1ないし請求項4記載の半導体装置の製造方法。

(8) 前記照射光が、近赤外光であることを特徴とする請求項1ないし請求項7記載の半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体装置の製造方法に関する。

【従来の技術】

従来、絶縁基板上の薄膜トランジスタ（以下TFTと称す）は、第2図に示すように、ガラスなどの絶縁基板31上に、半導体薄膜32を形成し、そこに素子を作り込んで構成されていた。

また、近年、TFTの特性向上のため、半導体薄膜として、結晶性半導体薄膜を用いることがよく見られる。ここで言う結晶性半導体とは、通常使用されている単結晶ウエハーに比べると、欠陥が数多く存在している単結晶半導体や、内部に1個以上の結晶粒界を持つ多結晶半導体を言う。

【発明が解決しようとする課題】

しかしながら、上記従来例では、第3図に示すように結晶性半導体薄膜32と基板31との界面や結晶性半導体薄膜32とゲート絶縁膜33との界面に、数多くの界面単位34、35が存在し、結晶性半導体薄膜32に、例えば、図のようにMOSFETを形成した場合、この界面単位の影響で、チャネル部でキャリアが界面単位34、35にトラップされ、いわゆるバックチャネルを

コン薄膜内の局在単位を減らし、移動度を高くすることが行われてきた。また、アルカリイオン汚染防止のために、高純度石英や無アルカリガラスなどを基板として用いる方法をとっていた。

しかしながら、上記の方法によっても、結晶粒界のバッシベーション、ならびに、基板との界面のバッシベーションは完全でない。すなわち、上記の方法では、半導体薄膜の中に水素が導入される過程と、逆に、半導体薄膜から水素が放出される過程とが共存し、さらに、半導体薄膜中の粒界、界面以外の結晶性のよい場所にも水素が拡散しており、有効に、粒界、界面のバッシベーションを行なう為には更に改善すべき余地が多く残されていた。

また、高純度石英や無アルカリガラスなどの基板は、高価であり、大面積の基板に安価な素子を形成すべく採用されるTFT本来の1つの利点を失う結果となってしまう。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、絶縁基板上

形成し、しきい値電圧の変動や、信号のon/off比の低下など、素子特性の劣化をもたらしていた。

また、結晶性半導体薄膜として、多結晶シリコン薄膜を用いることがよく見られるが、多結晶シリコン薄膜内に存在する結晶粒界36には、数多くの界面単位37が存在し、これらが、キャリアをトラップすることにより、チャネル部でのキャリアの移動度を低下させてしまう。

また、基板にアルカリイオン含有量の多いガラスなどの安価な材料を用いると、基板材料中に含まれるNa⁺などのアルカリイオン38が、製造プロセス中の熱処理によって半導体薄膜の方へ移動し、基板との界面やシリコン等の半導体薄膜中に可動イオンとして存在し、素子特性の劣化や、信頼性に問題を生じさせていた。

これらの問題を解決する方法として、例えば、素子形成後、素子の保護膜として、プラズマCVD法により窒化シリコン膜を形成し、この保護膜による水素バッシベーションを用いて、シリ

に、結晶性半導体薄膜を形成して成る半導体装置の製造方法において、前記結晶性半導体薄膜の上下両側に、水素の拡散にたいしてバリアとなる第1、第2の絶縁膜をそれぞれ形成する工程と、前記結晶性半導体薄膜中に水素を導入する工程と、光を照射し、前記結晶性半導体薄膜の粒界近傍または界面近傍の局所部分のみを加熱する工程と、を含むことを特徴とする。

【作用】

本発明では、結晶性半導体薄膜に水素を導入し、かつ光照射することにより、結晶性半導体薄膜内の結晶粒界や欠陥あるいは結晶性半導体薄膜と基板との界面などが、選択的に加熱し、こうした場所に存在するトラップ単位が有効に水素で満たし、トラップ単位の数を減らすことができるので、TFT等の半導体装置の電気特性を向上させることができるものである。

また、TFTのソース・ドレインなどに導入された不純物の空間的位置をほとんど変えずに、結晶粒界や欠陥、または、半導体薄膜と基板との界

面などを、選択的に加熱することができるので、微細トランジスタの製造が容易になる。

さらに、結晶性半導体薄膜のみを加熱することができることから、ガラスなどの基板からの Na^+ などのアルカリイオンの侵入を防止でき、信頼性の向上が期待できる。

また、半導体薄膜上に、水素の拡散にたいしてバリアとなる絶縁膜を形成しているため、薄膜中に拡散した水素の *out-diffusion* を防止し、上述の効果をさらに安定して得ることが期待できる。

なお、水素の拡散にたいしてバリアとなる絶縁膜として、窒化シリコン膜を基体と結晶性半導体薄膜との間に形成する場合には、ガラスなどの基体からの Na^+ などのアルカリイオンに対するプロッキングの効果も生じ、信頼性の向上はさらに期待できる。

【実施態様例】

以下に図面を参照しながら本発明の好適な実施態様について説明する。

効果によってえられた大粒径多結晶シリコンや、本出願人が特願昭62-73629号公報、特願昭62-73630号公報で提案しているところの大粒径多結晶シリコンや、本出願人が特開昭63-107016号公報で提案しているところの非晶質基板上に形成した単結晶シリコン等が用いられる。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜24を結晶性シリコン23上に形成する。水素の拡散にたいしてバリアとなる第2の絶縁膜24としては、減圧CVD法で形成した窒化シリコン膜や、第1の絶縁膜と同様にして、プラズマCVD法で形成した窒化シリコン膜や窒化酸化シリコン膜を用いることができる。

次に、照射光として、例えば近赤外光を、結晶性シリコン薄膜23の界面近傍、結晶粒界近傍に照射する。近赤外光は、例えば、キセノンランプ(波長0.8μm)等が適している。0.8μm程度の波長の光を照射すると、シリコン薄膜23中で、電子・正孔対が発生する。光照射により発

(第1実施態様例)

第1図は、本発明方法により製造した半導体装置例の断面図である。

本発明の第1の実施態様としては、まず、ガラス等の絶縁基板21上に、水素の拡散にたいしてバリアとなる第1の絶縁膜として、例えば、プラズマCVD法により、基板温度200℃～300℃で窒化シリコン膜22を形成する。本例ではこの窒化シリコン膜22中に体積%～数十%の水素を含ませておく。

その後、窒化シリコン膜22を形成した時の温度と同程度かそれ以下の温度で結晶性半導体薄膜として例えば結晶性シリコン薄膜23を形成する。結晶性シリコン薄膜23としては、スパッタリング法、減圧CVD法、プラズマCVD法により形成された多結晶シリコンや、スパッタリング法やCVD法により形成された非晶質シリコンをアニールし再結晶化したものや、本出願人が別途提案しているプラズマCVD法において、成長室周囲気中へのHCl等のハロゲン化水素ガスの添加

生した電子および正孔は、シリコン薄膜の結晶の中を、比較的長い寿命をもって、それぞれ、導電帯および價電子帯中を走行する。これらのうち、粒界、欠陥、または界面に達したものは、そこに存在するダグリングボンドなどに起因する捕獲単位を介して再結合を起こす。再結合によって失った電子・正孔のエネルギーは、格子振動、すなわち、熱エネルギーに変換される。換言すれば、シリコン薄膜中に含まれる粒界、欠陥、または界面が、選択的に、電子・正孔再結合による熱で加熱されることになる。この熱エネルギーにより、粒界、欠陥、または界面の捕獲単位を、すでに膜中に存在している水素で満たすことができ、結晶欠陥を回復することができる。

ここで、波長0.8μmの光はエネルギーに換算すると、1.5keVに対応し、吸収係数は、結晶シリコンの場合、約 $1 \times 10^3 \text{ cm}^{-1}$ であり、透過深さは、表面より $1/e$ の強度の点で約10μmである。0.8μmよりも十分に波長の短い光(例えば、可視光、赤外光など)では、光

の持っているエネルギーが高く、光照射によって発生した電子が、導電率の高エネルギー方向まで存在するようになり、導電率中の電子の衝突により、薄膜全体が加熱されてしまい、基板の加熱、水素の離脱、ドーピングされた不純物の拡散を引き起こしてしまう。

逆に、0.8 μmよりも十分に波長の長い光（例えば、波長1～数μmの光）では、膜が厚い場合、光が表面からかなり深くまで浸透し、これにより、表面だけでなく、かなり深いところでも、電子・正孔対が発生し、再結合を起こし発熱してしまう。したがって、デバイス動作に必要となる薄膜の表面付近のみを、効率よく加熱することができなくなるおそれがある。

以上から、0.7 μmより大きく、1.0 μmより小さい波長、好適には0.8 μm程度の波長を持った近赤外光による光照射が、本発明では最適である。

また、このときに発生する熱は、薄膜中の水素の拡散が起り始める300℃より高く、また、

に対してバリアとなる絶縁膜を形成することにより、熱処理によって水素が拡散する際、結晶性シリコン薄膜表面からのout-diffusionを防止でき、水素によるバシベーション効果をさらに高めることができる。

（第2実施態様例）

第1実施態様例では、窒化シリコン膜22中には数%～数十%の水素を含ませていたが、本例ではそれに替え、プラズマCVD装置を用いて、チャンバー内に水素ガスを導入した後、放電を起し、水素プラズマにより、結晶性シリコン薄膜中に水素を導入する。

本例でも、光照射を行うが、この光照射中に、プラズマ中から導入された水素が、結晶性シリコン薄膜中に拡散することにより、選択的に加熱された下地界面に存在する界面単位や結晶性シリコン薄膜中の欠陥単位や、結晶性シリコンの粒界に存在する界面単位を終端し、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のボテンシャルを小さくし、移動度を大きくする。また、

薄膜中の水素が再び外へ拡散しない600℃よりも低い温度で行うことが好ましく、これは、照射光の光量を調節することで実現できる。

この光照射を行う際の保護ガスとしては、N₂、Ar、H₂あるいはそれらの混合ガスなどがあげられる。

この光照射中に、窒化シリコン膜中に存在する水素が、結晶性シリコン薄膜中に拡散することにより、選択的に加熱された下地界面に存在する界面単位や、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコンの粒界に存在する界面単位を終端し、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のボテンシャルを小さくし、移動度を大きくする。

また、基板と結晶性シリコン薄膜との間に窒化シリコン膜を形成することで、ガラス等の基板からのNa⁺等のアルカリイオンに対してプロテクティングの効果を持たせることができ、信頼性がより一層向上する。

また、結晶性シリコン薄膜両面に、水素の拡散

この光照射中に発生する熱は水素の拡散が起り始める300℃より高く、また、膜中の水素が再び外へ拡散しない600℃よりも低い温度で行う必要があり、これは、照射光の光量を調節することで実現できることは第1実施態様例と同様である。

（第3実施態様例）

本例では、窒化シリコン膜22中には数%～数十%の水素を含ませておくことに替え、水素を、通常のイオン注入方法により、結晶性シリコン薄膜中に導入する。

本例でも、光照射を行うが、この光照射中に、イオン注入法により注入された水素が、結晶性シリコン薄膜中に拡散することにより、選択的に加熱された下地界面に存在する界面単位や、結晶性シリコン薄膜中の欠陥単位や、結晶性シリコンの粒界に存在する界面単位を終端し、下地界面でのバックチャネルの発生を抑制し、かつ、粒界のボテンシャルを小さくし、移動度を大きくする。

また、この光照射中に発生する熱は、水素の拡

数が起り始める300℃より高く、また、膜中の水素が再び外へ拡散しない600℃よりも低い温度で行う必要があり、これは、照射光の光量を調節することで実現できることは第1実施例と同様である。

【実施例】

本発明の実施例を、図面を用いて詳細に述べる。

第2図は、本発明によるMOSFETの製造工程を示す模式的断面図である。

(実施例1)

ガラス基板上21に、水素の拡散にたいしてバリアとなる第1の絶縁膜として、プラズマCVD法で、SiH₄/NH₃混合ガス系により、塗化シリコン膜22を1000Å堆積した。堆積条件としては、平行平板型プラズマCVD装置を用い、SiH₄(10%H₂希釈)流量1.5sccm、NH₃流量1.0sccm、圧力0.16Torr、放電パワー3.5W、基板温度300℃の条件で、35分間堆積を行った。こ

(4))。

次に、水素の拡散にたいしてバリアとなる第2の絶縁膜として、第1の絶縁膜22と同様の方法にて、プラズマCVD法により、塗化シリコン膜27を5000Å堆積した。

次に、光波長0.8μm、パワー1000WのキセノンランプをH₂ガス雰囲気のもとで距離約10cmのところから照射した。このときキセノンランプの実行パワーは、40W/cm²程度と考えられる(第2図(e))。

次に、所望の領域にコンタクトを開孔し、Alを堆積させバーニングしてソース、ドレイン電極28及びゲート電極29を形成した。

ガラス基板上に直接多結晶シリコン薄膜を形成した基板に形成したMOSFETと、本実施例により作成したMOSFETの電気特性の測定の比較したところ、本例では、電子移動度は2倍以上となり、しきい値電圧の変動幅は1/2以下に縮小された。

このことは、熱処理によって、塗化シリコン膜

の条件で堆積した塗化シリコン膜中には、IR(赤外分光)分析の結果、約10%の水素が含まれていることが分かった(第2図(a))。

次に、RFプラズマCVD法により、SiH₄、Cl₂/HCl/H₂混合ガス系にて、塗化シリコン膜22上に、多結晶シリコン薄膜23を1000Å堆積した。堆積条件としては、SiH₄、Cl₂:0.9sccm、HCl:1.30sccm、H₂:200sccm、圧力:2.0Torr、RF power:60W、基板温度:230℃で行った。この条件下では、塗化シリコン膜22上には、粒径が約1.0μmの多結晶シリコン薄膜が堆積した(第2図(b))。

次に、スパッタ法により、ゲート絶縁膜としてSiO₂膜24を500Å堆積させた後、スパッタ法によりAlを堆積し、バーニングを行いゲート電極25を形成した(第2図(c))。

次に、イオン注入法により、P⁺を注入し、ソース・ドレイン領域26を形成した(第2図

22から、多結晶シリコン薄膜23中に水素が拡散し、下地界面、及び、多結晶シリコン薄膜23中の結晶粒界に存在する界面単位を掩蔽し、単位の数が減少し、下地界面でのバックチャネルの発生が抑制され、かつ、粒界のボテンシャルバリアが低下したためと考えられる。このことは、ESR(電子スピン共鳴)測定をした結果、多結晶シリコン薄膜中のダンギングボンドの密度が、熱処理によって、1桁以上低下していたという事実からも明らかである。

さらに、このとき、選択的に界面単位近傍が加熱されたために、ソース・ドレイン領域26の不純物の拡散は起こっていないことも確かめられた。

また、水素の拡散にたいしてバリアとなる塗化シリコン膜22、27の効果については、例えば、この塗化シリコン膜27の有無により、多結晶シリコン薄膜23中に存在する水素の密度が、 $1 \times 10^{20} \text{ cm}^{-3}$ のオーダーから $1 \times 10^{19} \text{ cm}^{-3}$ のオーダー以下に低下していることから、

この膜が、水素のout-diffusionに対してバリアとして作用していることが分かった。

また、信頼性試験においては、高温高湿試験によっても、電気特性の変化は殆ど無く、信頼性も十分なものであった。

これは、塗化シリコン膜22が、ガラス基板からのアルカリイオンの拡散にたいして、ブロッキングしているためと考えられる。

また、本実施例において、光照射により、水素を拡散するのと同時に、ソース・ドレイン領域の活性化も可能であることが、電気特性の測定から明らかとなつた。

(実施例2)

第1の実施例で用いた、ゲート絶縁膜24のSiO₂ 500Åのかわりに、第2の実施例として、スパッタ法によりSiO₂膜を200Å、つづいて、水素の拡散にたいしてバリアとなる絶縁膜として、プラズマCVD法により、塗化シリコン膜を300Å堆積させた後、ゲート電極25を形成した。SiO₂膜を先に堆積させたの

圧CVD法により堆積した塗化シリコン膜を用いても、同様の効果があった。

(実施例3)

第1の実施例で述べた、ゲート絶縁膜24のSiO₂ 500Åのかわりに、第3の実施例として、ゲート絶縁膜として、水素の拡散に対してバリアとなる絶縁膜としてプラズマCVD法により塗化酸化シリコン膜500Å堆積させた。塗化酸化シリコン膜は、よく知られているように、膜中の窒素と酸素の組成比をうまく選ぶことで、シリコン膜と塗化酸化シリコン膜の両方の性質を兼ね備えることが可能である。ここでは、SiH₄/NH₃/N₂O混合ガス系を用いて、堆積条件を再適化することにより、膜の組成比をSiが1に対してNは3.0~2になるようにした。

他の工程は第1の実施例と同様である。

本実施例において、水素の拡散にたいしてバリアとなる第2の絶縁膜として、塗化酸化シリコン膜を用いても、多結晶シリコン薄膜中の水素の密度は、塗化シリコン膜を用いた場合と全く変化無

は、よく知られたように、塗化シリコン膜だけで、ゲート絶縁膜を構成したときの膜中の分極によるMOSFETの電気的特性の劣化を防ぐためである。

他の工程は、第1の実施例と同様である。

本実施例において、水素の拡散にたいしてバリアとなる第2の絶縁膜として、塗化シリコン膜の膜厚を300Åとしても、多結晶シリコン薄膜中の水素の密度は、塗化シリコン膜厚を5000Åとした場合と全く変化無かった。

また、保護膜として、SiO₂膜5000Åを用いた場合についても、水素の密度に変化はなかったことから、塗化シリコン膜300Åでも十分バリアとして作用していることが分かった。

また、ゲート絶縁膜として塗化シリコン膜と酸化シリコン膜の2層構造を用いたが、これについても、SiO₂膜を用いた場合と比較して、電気特性の劣化は、殆ど認められなかった。

また、本実施例では、バリア膜として、プラズマCVD法による塗化シリコン膜を用いたが、測

かれた。

また、ゲート絶縁膜として塗化酸化シリコン膜を用いたが、これについても、SiO₂膜を用いた場合と比較して、電気特性の劣化は、殆ど認められなかった。

(実施例4)

第1の実施例で述べた、ゲート絶縁膜24のSiO₂ 500Åを堆積し、ゲート電極25を形成したのちに、ここでは、水素の導入法として、第4の実施例として、平行平板型プラズマCVD装置を用い、水素プラズマを照射した。

水素プラズマ条件としては、圧力0.16Torr、放電出力600W、基板温度300°C、照射時間30分で行なった。

他の工程は、第1の実施例と同様である。

本実施例においても、MOSFETの電気特性の改善にたいして、第1の実施例と同様の効果が得られた。

(実施例5)

第1の実施例で述べた、ゲート絶縁膜24の

特開平3-185736 (7)

S10, 500 Aを堆積し、ゲート電極25を形成したのちに、ここでは、水素の導入法として、第5の実施例として、イオン注入法により、水素を、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 、加速電圧20 keVの条件で、多結晶シリコン薄膜全面に注入した。

他の工程は、第1の実施例と同様である。

本実施例においても、MOSFETの電気特性の改善に対して、第1の実施例と同様の効果が得られた。

以上、本実施例において、結晶性半導体薄膜としては、本出願人が提案しているプラズマCVD法にて形成した大粒多結晶シリコン、および、プラズマCVD法により形成した非晶質シリコンを熱処理にて結晶化した多結晶シリコンについてその効果を示したが、他の結晶性半導体薄膜、例えば、減圧CVD法により形成された多結晶シリコンや、多結晶シリコンにSi⁺を注入して非晶質化した非晶質シリコンをアニールし、再結晶化したものや、本出願人が特願昭62-73629

ことができるようになった。

4. 図面の簡単な説明

第1図は、本発明を特徴づける半導体装置の断面図である。第2図は、本発明によるMOSFETの製造工程を示す模式的断面図である。第3図は従来技術の問題点を説明するための説明図である。

(記号の説明)

21…基板、22…水素の拡散にたいしてバリアとなる第1の絶縁膜、23, 32…半導体薄膜、27…水素の拡散にたいしてバリアとなる第2の絶縁膜。

号公報、特願昭62-73630号公報で提案しているところの大粒多結晶シリコンや、本出願人が特願昭63-107016号公報で提案しているところの非晶質基板上に形成した単結晶シリコンなどを用いても、同様の効果があったことは言うまでもない。

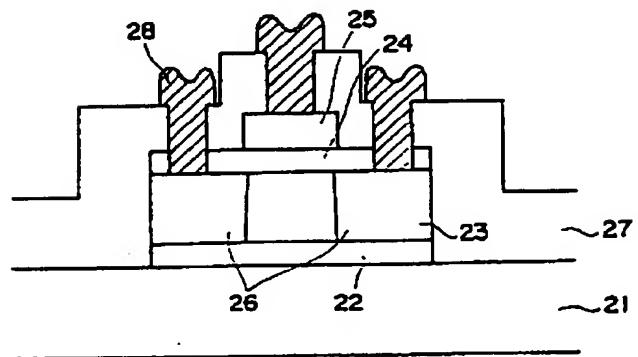
[発明の効果]

本発明によれば、半導体薄膜下地界面の界面単位を減らし、バックチャネル効果を抑制することができ、かつ、半導体薄膜内に存在する単位をも低減でき、その結果、しきい値電圧の変動幅の縮小やキャリア移動度の向上等、TFTの電気的特性を向上させることができた。

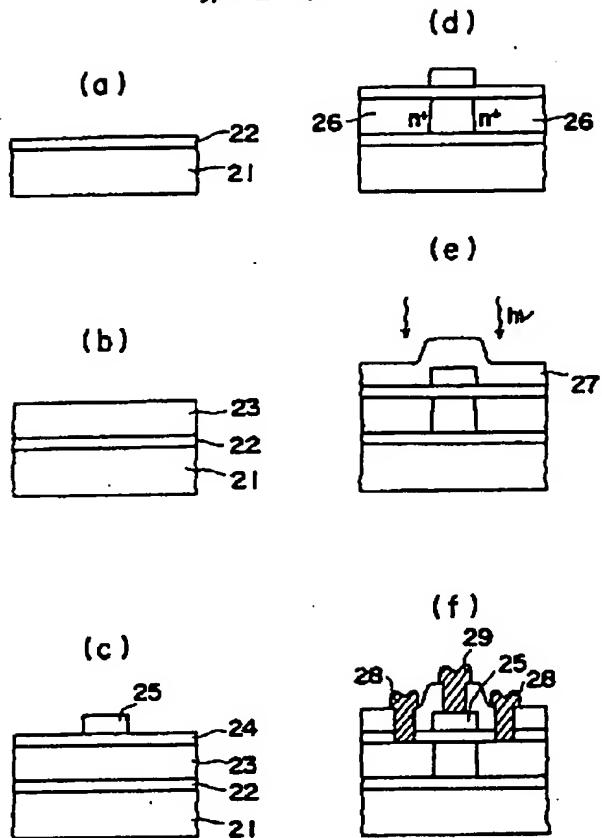
なお、水素の拡散にたいしてバリアとなる絶縁膜として、塗化シリコン膜を用いる場合には、基板からのNa⁺などのアルカリイオンの侵入をブロッキングすることができ、TFTの信頼性が向上させることができた。

この結果、安価なガラス基板上に、電気特性、及び、信頼性の優れたTFTを、容易に形成する

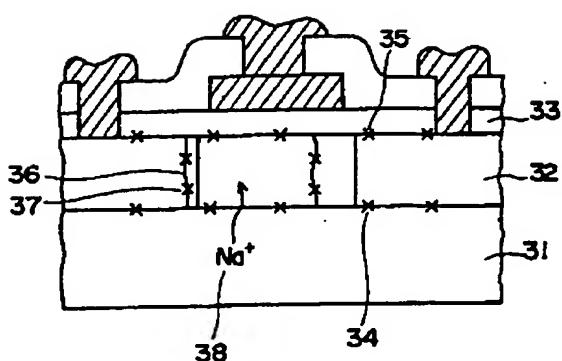
第一図



第2図



第3図



DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03522836 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 03-185736 [JP 3185736 A]

PUBLISHED: August 13, 1991 (19910813)

INVENTOR(s): SUGAWA SHIGETOSHI

KONDO SHIGEKI

MIZUTANI HIDEMASA

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-324579 [JP 89324579]

FILED: December 14, 1989 (19891214)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA)

JOURNAL: Section: E, Section No. 1131, Vol. 15, No. 442, Pg. 17,
November 11, 1991 (19911111)

ABSTRACT

PURPOSE: To reduce the interface level at a substratum interface of a semiconductor thin film and to enhance the electrical characteristic of a TFT by a method wherein hydrogen is introduced into a crystalline semiconductor thin film, light is irradiated and only a local part near a grain boundary or near an interface of the crystalline semiconductor thin film is heated.

CONSTITUTION: A first insulating film and a second insulating film 22, 27 which act as barriers against the diffusion of hydrogen are formed on both the upper side and the lower side of a crystalline semiconductor thin film 23; hydrogen is introduced into the crystalline semiconductor thin film 23. In addition, light is irradiated; only a local part near a grain boundary or near an interface of the crystalline semiconductor thin film 23 is heated. In this case, the hydrogen is introduced into the crystalline semiconductor thin film 23 and the light is irradiated; as a result, the crystal grain boundary or a defect inside the crystalline semiconductor thin film 23 or the interface between the crystalline semiconductor thin film 23 and a substrate 21 is heated selectively, a trap level existing in these places is terminated effectively at the hydrogen, the number of trap levels can be reduced. Thereby, it is possible to enhance the electrical characteristic of a semiconductor device such as a TFT or the like.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

008774552 **Image available**

WPI Acc No: 1991-278567/199138

XRAM Acc No: C91-121023

XRPX Acc No: N91-212649

Thin-film FET mfr. - forming hydrogen-diffusion barrier film on insulator substrate, by depositing crystal semiconductor thin film etc. NoAbstract
Dwg 1/3

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3185736	A	19910813	JP 89324579	A	19891214	199138 B

Priority Applications (No Type Date): JP 89324579 A 19891214

Title Terms: THIN; FILM; FET; MANUFACTURE; FORMING; HYDROGEN; DIFFUSION; BARRIER; FILM; INSULATE; SUBSTRATE; DEPOSIT; CRYSTAL; SEMICONDUCTOR; THIN ; FILM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI